



Übungen zur Vorlesung Grundlagen von Informatiksystemen
Wintersemester 2022/23

Übungsblatt 9

Abgabe bis Donnerstag, 26. Januar 2023, 8:30 Uhr

Aufgabe 1 Schaltkreis-Entwurf (3+2+1)

Sei z_{n-1}, \dots, z_0 eine Folge von n Bits und $z = \langle\langle z_{n-1} \dots z_0 \rangle\rangle_2$ deren Interpretation als Zweierkomplement-Zahl. Dann lässt sich das Zweierkomplement des Werts $-z$ in drei einfachen Schritten erzeugen, nämlich indem man a) sämtliche Bits der Folge kippt, b) zu dem Resultat 1 addiert und c) von dem Ergebnis dieser Addition die unteren n Bits extrahiert:

- a) $z'_i = 1 - z_i$ für $i = 0, 1, \dots, n - 1$ (Kippen der Bits)
b) $\langle s_n \dots s_0 \rangle_2 = \langle z'_{n-1} \dots z'_0 \rangle_2 + \underbrace{\langle 0 \dots 0 1 \rangle_2}_{n-1\text{-mal}}$ (1 (als n -Bit Binärzahl) hinzu addieren)
c) $-z = \langle\langle s_{n-1} \dots s_0 \rangle\rangle_2$ (Die unteren n Bits interpretiert im Zweierkomplement entsprechen dann $-z$)

1. Entwerfen und zeichnen Sie einen Schaltkreis mit n Eingängen X_{n-1}, \dots, X_0 und n Ausgängen Y_{n-1}, \dots, Y_0 , sodass für jede Eingangsbelegung β gilt:

$$\langle\langle \phi_\beta(Y_{n-1}) \dots \phi_\beta(Y_0) \rangle\rangle_2 = -\langle\langle \phi_\beta(X_{n-1}) \dots \phi_\beta(X_0) \rangle\rangle_2$$

(Mit anderen Worten: interpretiert man sowohl die Eingangs- als auch die Ausgangssignale zusammen genommen als Zahlen im Zweierkomplement, so entspricht die Zahl am Ausgang des Schaltkreises der negativen Zahl am Eingang.)

Erläutern Sie Ihre Designentscheidungen und was die verschiedenen Teile Ihres Schaltkreises bezwecken.

2. Bestimmen Sie die Höhe Ihres Schaltkreises und die Anzahl der Gatter. Erläutern Sie Ihre Berechnungen.
3. In Schritt b) werden zwei n -Bit Binärzahlen addiert, somit ist das Ergebnis s eine $(n + 1)$ -Bit Binärzahl. Wie kommt es, dass das Bit s_n aus diesem Schritt in Schritt c) gar nicht verwendet wird? Geht dadurch womöglich eine interessante Information verloren?

Aufgabe 2 Addieren von Zweierkomplement-Zahlen (2+2+2)

Wie wir aus der Vorlesung wissen, ist ein n -Bit-Addierer ein Schaltkreis mit $2n + 1$ Eingängen, nämlich $a_{n-1}, \dots, a_0; b_{n-1}, \dots, b_0; c$, und $n + 1$ Ausgängen s_n, \dots, s_0 . Mit solch einem Schaltkreis lassen sich zwei n -Bit-Binärzahlen addieren, d.h es gilt für jede Eingangsbelegung β :

$\langle s_n \dots s_0 \rangle_2 = \langle a_{n-1} \dots a_0 \rangle_2 + \langle b_{n-1} \dots b_0 \rangle_2 + c$ (wobei wir uns hier wie schon in der Vorlesung das wiederholte Schreiben von ϕ_β sparen, siehe Folie 176).

Man könnte die Bitfolgen $a_{n-1} \dots a_0$ und $b_{n-1} \dots b_0$ statt als Binärzahlen aber natürlich auch als Zweierkomplementzahlen interpretieren, welche je nach Wert des führenden Bits (gemeint ist a_{n-1} bzw. b_{n-1}) positive oder negative ganze Zahlen repräsentieren. Man kann dabei drei Fälle unterscheiden:

1. Beide führenden Bits sind 0.
2. Eins der beiden führenden Bits ist 1, das andere 0.
3. Beide führenden Bits sind 1.

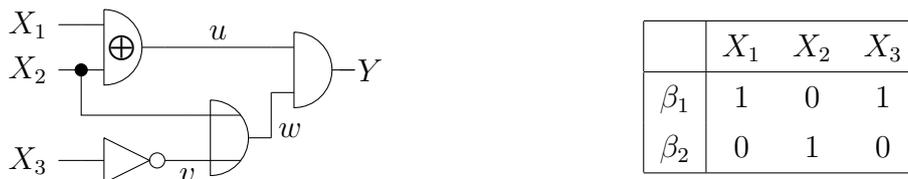
Wir wollen herausfinden, welche Ergebnisse ein Addierer-Schaltkreis, der in der Vorlesung ja nur für Binärzahlen betrachtet wurde, nicht aber für Zweierkomplementzahlen, in den obigen drei Fällen liefert. Bestimmen Sie dazu für jeden dieser drei Fälle den Wert der Ausgangsbits interpretiert als Zweierkomplementzahl, d.h. $\langle\langle s_n \dots s_0 \rangle\rangle_2$, für jede mögliche Eingangsbelegung.

Tipp: Was ein Addiererschaltkreis mit zwei Binärzahlen a und b tut, wissen wir ja; was bei zwei Zweierkomplementzahlen herauskommt, müssen wir uns erst erarbeiten. Aber das Zweierkomplement wurde auf Folie 53 der Vorlesung ja mittels Binärzahlen definiert. Um zu formalisieren, welches Ergebnis ein Addierer bei zwei Zweierkomplementzahlen ausgibt, sollten Sie diesen Zusammenhang ausnutzen.

NB: Sie dürfen im zweiten der drei Fälle ohne Beschränkung der Allgemeinheit annehmen, dass $a_{n-1} = 1$ und $b_{n-1} = 0$ ist.

Aufgabe 3 Timing-Diagramme (1+3+2)

Betrachten Sie den folgenden Schaltkreis sowie die nebenstehenden Eingangsbelegungen β_1 und β_2 :



1. Welche Werte haben die Knoten u , v , w und Y unter β_1 und β_2 ?
2. Die drei Eingänge X_1 , X_2 und X_3 werden genau gleichzeitig von der Eingangsbelegung β_1 auf die Eingangsbelegung β_2 umgeschaltet. Zeichnen Sie gemäß der Verzögerungszeiten von Folie 185 ein entsprechendes Timingdiagramm. Wann könnten dabei Spikes entstehen?.
3. Zu welchen Zeiten müssen die Eingangssignale umgeschaltet werden, um Spikes bei einem Wechsel von β_1 und β_2 zu vermeiden? Begründen Sie.